

# Laboratorul 4.

## Porți logice integrate.

### Tranzistorul cu efect de câmp.

## 1 Scopul lucrării

Lucrarea propune familiarizarea cu funcționarea din punct de vedere electric a circuitelor digitale, prin studiul unor circuite simple, cu funcție de porți logice.

Se vor avea în vedere atât studiul porților individuale, cât și efectele ce apar la interconectarea acestora.

Se va studia efectul tensiunii de alimentare asupra performanțelor porților, respectiv metode de conectare a circuitelor digitale ce funcționează cu tensiuni de alimentare diferite.

## 2 Noțiuni teoretice

### 2.1 Porți logice

Porțile logice stau la baza sistemelor digitale. Toate sistemele, modulele, blocurile funcționale etc. pot fi descrise prin scheme ce au drept componente elementare porți logice și elemente de memorare (ex. bistabile). Electronica digitală tratează în primul rând structura și funcționarea porților logice, alte discipline tratând problematica realizării de sisteme digitale complexe.

Circuitele logice complexe se proiectează rar la nivel de porți logice. Abordarea contemporană în acest sens implică în general o descriere structurală bazată pe blocuri funcționale, respectiv o descriere comportamentală a acestor blocuri, urmate de sinteza automată a circuitului logic. Cu toate acestea, proiectantul va avea în vedere faptul că circuitul său are la bază aceste porți logice iar caracteristicile porților vor afecta funcționarea sistemului. Spre exemplu, faptul că porțile manifestă un timp de propagare implică o viteză maximă de prelucrare a informației la nivelul sistemului; acest timp de propagare este afectat de factori precum tensiunea de alimentare dar și de structura schemei - numărul de intrări conectate la ieșirea porții.

O altă abordare în proiectarea sistemelor digitale implică utilizarea de circuite integrate ce implementează funcționalități cu variate grade de complexitate: de la simple numărătoare, multiplexoare etc. la microprocesoare, microcontrollere, interfețe de comunicație wireless și așa mai departe. Indiferent de complexitate, legătura acestor circuite integrate cu exteriorul, prin care ele pot fi interconectate, este reprezentată tot de niște intrări și ieșiri ale unor porți logice. Este deci necesară cunoașterea parametrilor electrici ale acestor intrări și ieșiri (specificați

în fișele tehnice - datasheets) și înțelegerea generală a comportamentului electric al porților logice. În acest sens, prezenta lucrare se va desfășura în jurul unor circuite integrate deosebit de simple, fiecare conținând doar câteva porți logice.

Indiferent de implementare (schema internă) toate porțile logice pot fi descrise prin următorii parametri electrici:

- parametri statici (ce au relevanță și când poarta nu comută; se măsoară în regim static sau după ce fenomenele tranzitorii asociate comutației s-au finalizat):
  - nivelele logice la ieșire (cele două valori ale tensiunii de ieșire prin care se reprezintă cele două stări logice posibile ale ieșirii porții), notate  $V_{oL}$  și  $V_{oH}$ ;
  - nivelele logice la intrare (limitele tensiunii de intrare pentru care aceasta reprezintă o stare logică validă), notate  $V_{iL}$ ,  $V_{iH}$ ;
  - curentul de intrare (în fiecare stare):  $I_{iL}$ ,  $I_{iH}$ ;
  - curentul de alimentare, cu variate notații - de obicei dacă tensiunea de alimentare este notată  $V_{CC}$ , curentul este notat  $I_{CC}$ , dacă tensiunea este  $V_{DD}$ , curentul este  $I_{DD}$  etc.
  
- parametri dinamici (ce descriu comutația)
  - timpul de creștere și timpul de cădere - notați de obicei în fișele tehnice  $t_r^1$ ,  $t_f^2$ ; se măsoară între 10% și 90% din amplitudinea comutației;
  - timpii de propagare - notați  $t_{pLH}$  și  $t_{pHL}$ , după direcția comutației, sau simplu  $t_p$  dacă cei doi sunt aproximativ egali sau nu este necesară diferențierea. Unii îl mai numesc întârziere (delay) și îl notează  $t_d$ . Se măsoară între momentul când intrarea trece prin pragul logic și cel în care ieșirea trece prin pragul logic.
  - curentul de alimentare ca funcție de timp (multe tipuri de porți manifestă un vârf de curent tranzitoriu la comutație) - dificil de măsurat fără echipament special; sau ca funcție de frecvența de comutație - specificat în fișele tehnice sub formă de grafic, de formulă, sau printr-o capacitate echivalentă în sensul puterii disipate - întrucât curentul printr-un condensator crește cu frecvența, similar comportamentului porților CMOS de exemplu.

**Observație:** noțiunea de prag logic este necesară definirii timpilor de propagare. În general porțile logice nu comută brusc la trecerea intrării prin pragul logic (cum o face un comparator sau o poartă ideală). Intrările porților reale au în general o zonă de tranziție aflată undeva între valorile  $V_{iLmin}$  și  $V_{iHmax}$  specificate în fișa tehnică. Când intrarea se află între  $V_{iL}$  și  $V_{iH}$  acestea nu i se poate asocia o stare logică validă.

Toți parametrii sunt specificați în anumite condiții de funcționare; de relevanță deosebită sunt:

---

<sup>1</sup>en. - rise time

<sup>2</sup>en. - fall time

- tensiunea de alimentare - unele tipuri de circuite logice sunt proiectate să funcționeze doar la o anumită tensiune de alimentare, de ex. 5V cu toleranță de 5% la porțile TTL, altele pot funcționa pe o plajă mai largă (ex. 2..5V).

Observație: chiar dacă este specificat un interval larg al tensiunii de alimentare, aceasta trebuie să fie continuă. În general nu putem pretinde unui circuit să funcționeze corect dacă tensiunea sa de alimentare nu este stabilă. Depășirea tensiunii maxime specificate sau alimentarea inversă duce în general la distrugerea circuitului - de aceea placa de laborator este dotată cu stabilizatoare de tensiune.

- curentul de ieșire - depășirea limitelor specificate în fișa tehnică duce la degradarea nivelelor logice sau chiar la distrugerea circuitului integrat.
- tensiunea de intrare - depășirea limitei maxime specificate, în general egală cu tensiunea de alimentare, sau aplicarea unei tensiuni negative, duc la distrugerea circuitului integrat. Unele circuite includ diode de protecție în acest sens, care sunt eficace doar dacă se adaugă pe intrare o rezistență pentru limitarea curentului. Este necesară o atenție deosebită când se interconectează circuite alimentate la tensiuni diferite, pentru a evita depășirea valorii maxime acceptate de intrări.

## 2.2 Tranzistorul MOS

Tehnologia preferată la momentul actual pentru realizarea de circuite logice este denumită CMOS<sup>1</sup>. MOS se referă la materialele din care sunt fabricate tranzistoarele - un corp semiconductor, o poartă (terminal de comandă) izolată de corp printr-un strat foarte subțire de oxid, respectiv conexiuni metalice. Complementar se referă la faptul că sunt folosite tranzistoare de ambele polarități și acestea au performanțe comparabile; denumirea făcea aluzie la tehnologiile mai vechi, spre exemplu în tehnologia clasică TTL se puteau fabrica doar tranzistoare NPN performante - de aceea etajul de ieșire al porții TTL este asimetric. Prin comparație, porțile CMOS se fabrică de obicei cu o simetrie pronunțată - atât la nivel de schemă cât și de funcționare - spre exemplu, sunt proiectate să aibă pragul logic la jumătatea tensiunii de alimentare.

Tranzistorul MOS (Figura 1 <sup>2</sup>) este construit astfel: în materialul semiconductor se fabrică două zone tip n, denumite sursă și drenă (prin analogie cu emitorul și colectorul tranzistorului bipolar). Între acestea se află o zonă de tip p, deasupra căreia se află terminalul de comandă, numit poartă<sup>3</sup>, izolat printr-un strat foarte subțire astfel încât să formeze un mic condensator. (observați diferența față de tranzistorul bipolar, unde regiunea din mijloc - baza - era legată direct la terminal).

La aplicarea unei tensiuni pozitive pe poartă, câmpul electric format atrage electroni în regiunea p, rezultând un condensator încărcat având ca plăci poarta pozitivă și regiunea p devenită negativă. Dacă tensiunea aplicată este suficient de mare (depășește o valoare de prag specifică tranzistorului) spunem că în

<sup>1</sup>en. - Complementary Metal-Oxide-Semiconductor

<sup>2</sup>Imagine preluată de la [https://commons.wikimedia.org/wiki/File:Cmos\\_impurity\\_profile.PNG](https://commons.wikimedia.org/wiki/File:Cmos_impurity_profile.PNG).

<sup>3</sup>en. - gate

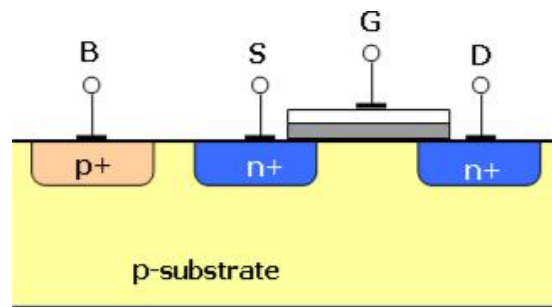


Figura 1: Reprezentarea principală a tranzistorului MOS cu canal de tip n (secțiune transversală). B = body/bulk (substrat), G = gate (poartă), S = source (sursă), D = drain (drenă)

regiunea p are loc o inversie, aceasta devenind efectiv de tip n și formând astfel un canal de conducție. Cu cât tensiunea aplicată pe poartă crește (în practică având grijă să nu depășim valoarea maximă specificată, fapt ce ar duce la străpungerea oxidului și distrugerea tranzistorului), cu atât conductanța canalului crește. Putem astfel asimila tranzistorul MOS cu un rezistor controlat în tensiune, cu precizarea că la trecerea curentului între drenă și sursă apare între aceste terminale o tensiune ce participă la fenomenul descris anterior - efectul de inversie este mai pronunțat lângă sursă și mai redus lângă drenă.

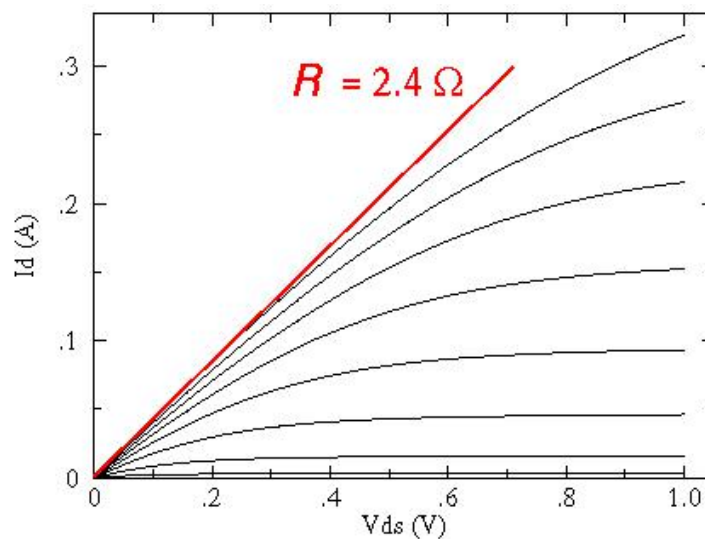


Figura 2: Caracteristici de ieșire (curent de drenă vs. tensiune drenă-sursă) pentru diferite valori ale tensiunii poartă-sursă) pentru un tranzistor MOS de mari dimensiuni

Astfel, caracteristica curent-tensiune a tranzistorului MOS este de fapt pătratică nu lineară, rezistența efectivă crescând cu tensiunea drenă-sursă până când tranzistorul ajunge să funcționeze similar cu o sursă de curent (Figura 2 <sup>1</sup>).

<sup>1</sup>Imagine preluată de la <http://www.physics.csbsju.edu/trace/nMOSFET.CC.html>.

În aplicații digitale, putem privi tranzistorul MOS ca pe un comutator comandat electric, dar un comutator neideal, având în conducție comportamentul descris mai sus.

Tranzistoarele MOS cu canal de tip n (denumite pe scurt NMOS-uri), descrise mai sus, conduc pentru tensiuni pozitive pe poartă față de sursă, altfel spus se pretează la aplicații în care sursa este legată la masă și drena "trage jos" când pe poartă se aplică un nivel HIGH. Prin comparație, PMOS-urile se pretează la utilizarea cu sursa legată la tensiunea pozitivă de alimentare, astfel încât drena "trage sus" când pe poartă se aplică o tensiune negativă față de alimentare, adică mică față de masă, deci nivel LOW. De aceea în unele scheme digitale se folosesc simbolurile simplificate ce reprezintă tranzistorul NMOS cu comandă activă HIGH și tranzistorul PMOS cu comandă activă LOW - cu cerculeț pe poartă (Figura 3).

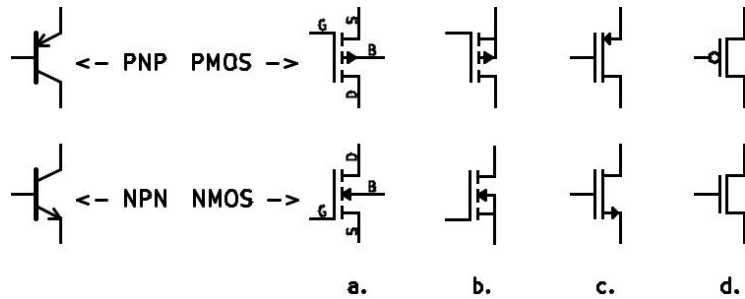


Figura 3: Simboluri utilizate pentru tranzistoarele MOS.

- a - simboluri standard
- b - tranzistoare cu substratul legat la sursă
- c - simboluri alternative folosite în unele scheme, prin asemănare cu tranzistoarele bipolare
- d - simboluri alternative simplificate, folosite cu precădere în schemele digitale

### 2.3 Porți logice CMOS

Prin legarea corespunzătoare serie/paralel a tranzistoarelor NMOS în partea de jos și o schemă complementară cu PMOS-uri în partea de sus (numită formal "duala schemei cu NMOS") se realizează o poartă CMOS cu funcția logică dorită (Figura 4).

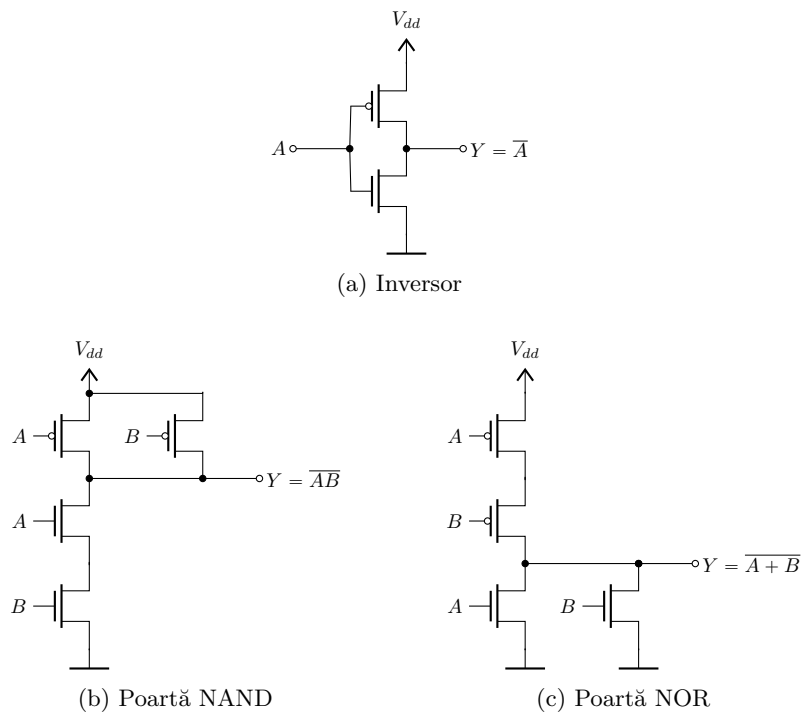


Figura 4: Porți logice CMOS

În general porțile CMOS din componența circuitelor integrate, care îndeplinesc efectiv funcțiile logice, sunt proiectate să funcționeze performant în mediul respectiv al circuitului integrat, caracterizat prin capacități parazite relativ mici. Astfel, tranzistoarele folosite au dimensiuni mici, de multe ori chiar dimensiunile minime permise de procesul de fabricație - acel număr de nanometri specificat în materialele comerciale. Legăturile exterioare însă, având capacități semnificativ mai mari, necesită tranzistoare mai puternice (rezistență mai mică = conductanță mai mare - canal mai lat, dimensiuni mai mari) pentru a păstra rapiditatea comutației (constanta de timp RC formată să fie mică). De aceea distingem în circuitele integrate digitale niște porți (de obicei inversoare, cel mai simplu tip de poartă) cu dimensiuni geometrice mai mari, având doar rolul de a comanda ieșirile, purtând în engleză denumirea de output buffers sau output drivers. Similar, intrările sunt dotate de obicei cu input buffers, care asigură un prag logic la jumătatea tensiunii de alimentare (Figura 5a). Chiar și circuitele foarte simple, doar cu rol de poartă logică, urmează această structură (Figura 5b).

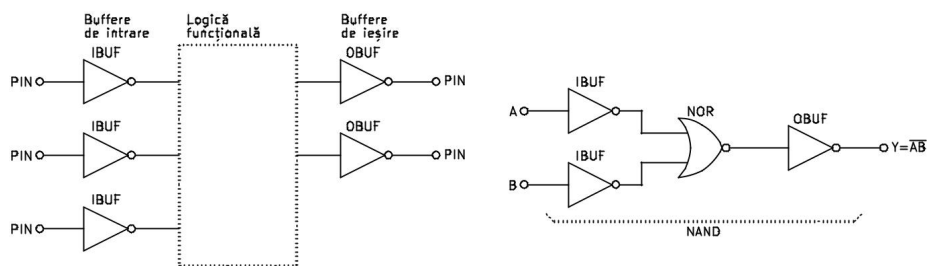


Figura 5: a - Structura generală a unui circuit integrat realizat în tehnologie CMOS.  
b - Structura unei porți logice din componența unui circuit integrat 74HC00.

Toate intrările CMOS ce vin dinspre exteriorul circuitelor integrate includ diode de protecție (Figura 6) sau mecanisme echivalente, dar acestea au eficacitate limitată în cazul utilizării necorespunzătoare a circuitului (depășirea tensiunii maxime de intrare), fiind destinate în principal protecției la descărcările electrostatice ce pot apărea la contactul cu omul - ESD<sup>1</sup>.

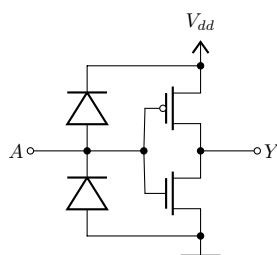


Figura 6: Diode de protecție pe intrarea într-un circuit integrat CMOS. Acestea limitează tensiunea de intrare. Este necesară o rezistență în serie cu intrarea pentru a limita și curentul.

Câteodată bufferele de intrare sunt de tip trigger Schmitt. Triggerul Schmitt funcționează similar cu un comparator cu histerezis, având praguri diferite pe intrare pentru cele două stări ale ieșirii și comutare bruscă la atingerea pragului corespunzător. Spre exemplu, considerând un semnal care crește lent de la zero, în momentul când se atinge pragul superior, ieșirea triggerului comută, simultan mutând pragul mai jos. Dacă din cauza zgomotului electric sau a unei perturbații tensiunea de intrare are o mică scădere, aceasta nu mai trece din nou prin prag, întrucât pragul s-a mutat semnificativ mai jos. Se evită astfel comutarea multiplă a ieșirii când avem de-a face cu semnale lent variabile sau zgomotoase. Desenul din centrul simbolului pentru triggerul Schmitt (Figura 7a) reprezintă forma graficului rezultat dacă se trasează ieșirea în raport cu intrarea - apar două praguri, două comutații.

Prezenta lucrare exploatează funcționarea triggerului Schmitt în cu totul alt scop, anume pentru a construi un generator de semnal dreptunghiular cu nivele logice compatibile cu porțile studiate (Figura 7b). Există metode mai bune<sup>2</sup>

<sup>1</sup>en. Electrostatic Discharges

<sup>2</sup>Triggerul Schmitt nu are pragurile specificate precis, scopul lui este asigurarea unei histerezis; pentru metode mai precise vezi spre exemplu circuitul integrat 555, sau un montaj

de genera astfel de semnale, dar metoda cu trigger Schmitt are avantajul unei simplități deosebite.

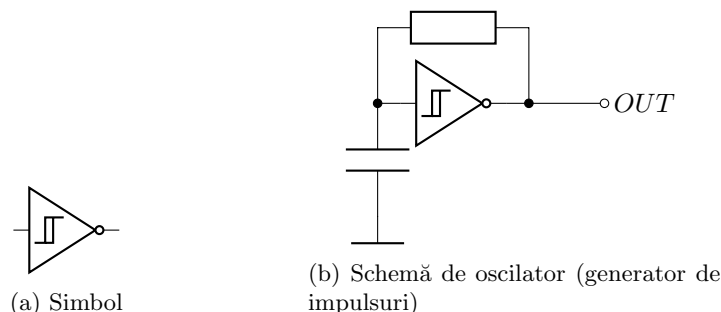


Figura 7: Trigger Schmitt

La interconectarea circuitelor digitale apar următoarele probleme:

- încărcarea rezistivă a ieșirilor. Intrările CMOS au caracter capacitiv, grație tranzistoarelor MOS din componența lor, adică nu absorb și nu furnizează curent continuu, ci doar vârfuri de curent tranzitorii la comutație. Alte tipuri de porți (ex. TTL) au însă curent de intrare și în regim static. La astfel de porți trebuie limitat fan-out-ul ieșirilor, adică numărul de intrări conectate la o ieșire, pentru ca suma curenților de intrare să nu depășească curentul maxim pe ieșire. O situație similară apare spre exemplu la comanda unui tranzistor bipolar prin intermediul unei rezistențe între bază și ieșirea porții, fapt ce cauzează apariția unui curent de ieșire. În astfel de situații, nivelele logice se vor modifica. Ca observație, în fișa tehnică aceste nivele sunt specificate pentru anumite valori ale curentului de ieșire.
- încărcarea capacitivă a ieșirilor. Orice material conductor formează o capacitate electrică împreună cu materialele din jur. Aceste capacități au caracter parazit, adică nu sunt dorite de proiectant dar apar inevitabil. Firele de legătură, intrările tranzistoarelor MOS, chiar și tranzistoarele de ieșire în sine, toate manifestă acest fenomen. Întrucât tranzistoarele nu sunt comutatoare ideale, deci nu pot furniza curent oricât de mare pentru încărcarea și descărcarea acestor capacități, vor apărea întârzieri în comutație, similar cu un circuit R-C. Este deci important să limităm fan-out-ul ieșirilor, întrucât capacitățile intrărilor în paralel se sumează și încetinesc comutația. De asemenea, este bine ca, în măsura posibilităților, circuitele integrate ce comunică să fie apropiate fizic, iar traseele de legătură să fie scurte. În acest sens, la proiectarea unui cablaj imprimat se va acorda prioritate legăturilor de viteză mare, care sunt cele mai sensibile la efectele parazite (respectiv nodurilor cu impedanță mare în circuitele analogice).
- comanda unei intrări alimentate de la o tensiune mai mare. La CMOS pragul logic este de obicei la jumătatea tensiunii de alimentare (respectiv tensiunea minimă admisibilă ca reprezentând nivel logic HIGH,  $V_{iH}$ , se

---

cu comparator analogic.



poate defini ca un procent din tensiunea de alimentare, de ex.  $V_{iH} = 70\%V_{DD}$ ). Nivelul HIGH este reprezentat la ieșire prin  $V_{oH} \approx V_{DD}$ . Astfel, este posibil ca nivelul HIGH semnalat de o poartă alimentată la tensiune mică să nu fie "înțeles" ca nivel HIGH de o altă poartă alimentată la tensiune mare (să nu se respecte condiția  $V_{oH} > V_{iH}$ ). Într-o astfel de situație trebuie introdus între cele două un adaptor de nivel logic<sup>1</sup>). Acestea se fabrică sub formă de circuit integrat, e.g. SN74LV1T126, sau se pot realiza discret cu un tranzistor bipolar sau MOS și rezistențele aferente.

- comanda unei intrări alimentate de la o tensiune mai mică. În acest caz se respectă de obicei compatibilitatea nivelelor logice, însă apare problema depășirii tensiunii maxime admise de intrare, care de obicei este egală cu tensiunea de alimentare a acesteia. O astfel de situație poate avea ca efect distrugerea porții, sau cel puțin consumul excesiv de curent - circuitul comandat va fi alimentat prin dioda de protecție. Evitarea unei astfel de situații se realizează cu un divizor de tensiune sau cu un circuit de adaptare de nivel (level shifter), integrat (e.g. 74HC4050) sau discret.

Pe platforma de laborator, efectele capacităților parazite sunt accentuate intenționat în scop didactic. Timpii de comutație observați vor fi mai mari decât cei specificați în fișa tehnică a circuitului integrat. Măsurarea corectă a timpilor în situația normală (fără capacități adăugate) ar fi necesitat osciloscopul mai performante și atenție sporită la realizarea conexiunilor.

Adaptoarele de nivel (Figura 8) sunt realizate cu tranzistoare bipolare și diode Schottky (pentru a nu fi nevoie de piese speciale).

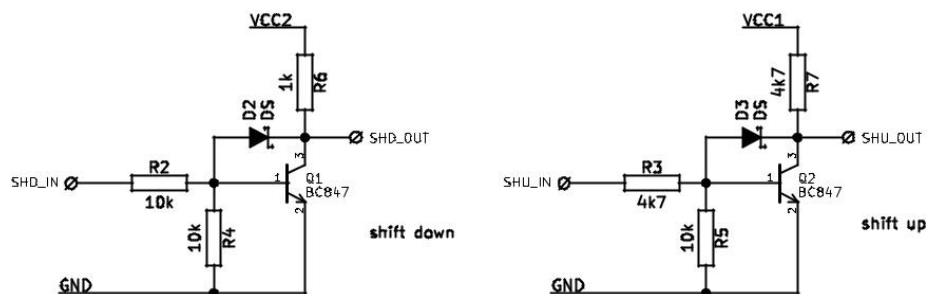


Figura 8: Adaptoarele de nivel (extras din schema plăcii de laborator, realizate pe spatele plăcii)

<sup>1</sup>en. - level shifter

### 3 Desfășurarea lucrării

Lucrarea se va desfășura pe baza plăcii reprezentate mai jos:

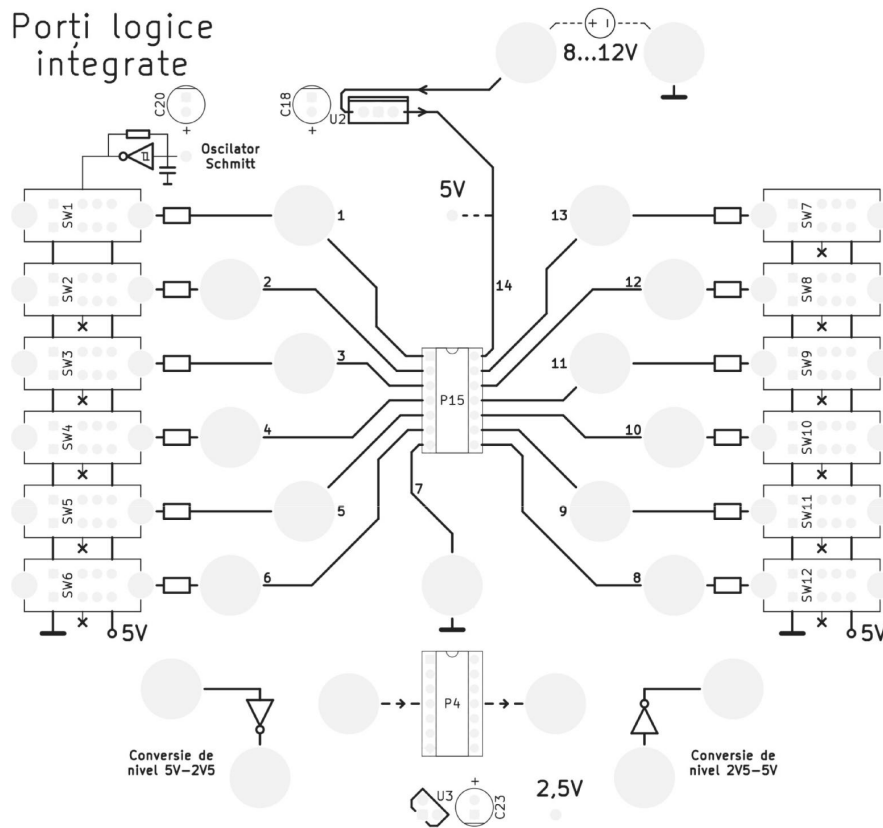


Figura 9

#### 3.1 Identificarea componentelor

Identificați circuitul integrat din centrul plăcii de laborator (model 74HC00) și studiați-i fișa tehnică (rezumată în Anexa A). Notați în special schema de conectare (cum sunt legate porțile interne la pinii circuitului, așa numitul pin-out), respectiv valorile parametrilor electrici principali (descriși în secțiunea de teorie).

#### 3.2 Alimentarea circuitului

Placa este dotată cu comutatoare cu 3 poziții legate la fiecare pin prin câte un rezistor. Pozițiile din stânga și dreapta conectează rezistența la masă, respectiv la tensiunea de alimentare. Poziția din centru nu este conectată nicăieri, cu excepția pinului 1, unde este conectată la oscilatorul cu trigger Schmitt.

Asigurați-vă că toate comutatoarele asociate cu intrările porților logice sunt în poziția din stânga (semnalând astfel starea LOW), respectiv că cele asociate cu ieșirile porților sunt în poziția din centru (ieșirile nu sunt astfel conectate niciunde).

**Observație:** Întrucât intrările CMOS au caracter capacitiv, acestea nu trebuie lăsate "în aer" (neconectate), deoarece tensiunile nu vor fi bine definite. Dacă tensiunile de intrare se întâmplă să fie între  $V_{iL}$  și  $V_{iH}$ , apare un consum de curent excesiv de la sursa de alimentare.

Alimentați placa la bornele corespunzătoare cu o tensiune continuă de **10V**.

Stabilizatoarele integrate vor reduce această tensiune la  $5V$  pentru circuitul integrat principal studiat, din centrul plăcii, respectiv la  $2.5V$  pentru cel din partea de jos a plăcii.

Măsurați aceste tensiuni pe bornele dedicate (testpoints), verificând că se încadrează într-o toleranță de 2%.

### 3.3 Verificarea funcționării porților logice

Verificați că circuitul integrat îndeplinește funcțiile logice descrise în fișa tehnică (74HC00 conține 4 porți NAND cu 2 intrări). În acest sens, acționați comutatoarele de pe intrare asociate unei porți și observați tensiunea pe borna de ieșire.

Repețiți sumar pentru celelalte porți. Puteți utiliza și oscilatorul integrat. O poartă NAND va da pe ieșire semnalul negat, doar când cealaltă intrare este HIGH.

### 3.4 Măsurarea tensiunilor pentru nivelele logice

Verificați pentru una din porți că nivelele logice sunt apropiate de zero, respectiv de tensiunea de alimentare (cu comutatorul asociat ieșirii în poziția din mijloc).

Mutați comutatorul pe poziția din stânga și notați noile valori. Repetați pentru poziția din dreapta. Sintetizați observațiile. Lăsați comutatorul pe poziția din mijloc după terminarea măsurătorilor.

### 3.5 Măsurarea timpilor de comutare

Plasați comutatorul corespunzător pinului 1 în poziția din mijloc, aplicând astfel semnal dreptunghiular pe intrarea respectivă. Dacă poarta respectivă are mai multe intrări, acționați comutatoarele respective astfel încât pe ieșirea porții să apară semnal dreptunghiular (la o poartă NAND, cealaltă intrare trebuie să fie HIGH). Puteți utiliza și generatorul de semnal configurat corespunzător în locul oscilatorului cu trigger Schmitt.

**ATENȚIE!** În cazul folosirii generatorului de semnal, verificați înainte de a îl conecta la placă faptul că semnalul se încadrează în intervalul  $0 - 5V$ !

Măsurați timpul de creștere și timpul de cădere pe ieșirea porții. Ce puteți spune cu privire la aceștia? Măsurați timpii de propagare.

Repetati pentru încă o poartă din același circuit integrat și comparați rezultatele. Pentru o măsurare mai precisă a timpului de propagare, se pot lega mai multe porți în cascadă, împărțind apoi rezultatul la numărul de porți.

### 3.6 Conectarea adaptorului de nivel

Utilizați adaptorul de nivel din  $5V$  în  $2.5V$  sau generatorul de semnal configurat corespunzător pentru a aplica un semnal dreptunghiular pe circuitul integrat din partea de jos a plăcii.

**ATENȚIE!** În cazul folosirii generatorului de semnal, verificați înainte de a îl conecta la placă faptul că semnalul se încadrează în intervalul  $0 - 2.5V$ !

Circuitul integrat conține 4 porți logice NAND, care sunt conectate pe spatele plăcii în cascadă.

Măsurați timpul de creștere, timpul de cădere, respectiv timpii de propagare pentru ansamblul format din cele 4 porți. Determinați timpul mediu de propagare pentru o singură poartă. Comparați rezultatele cu cele obținute la circuitul alimentat la  $5V$ .

### 3.7 Nivelele logice ale convertoarelor de nivel

Studiați cele două convertoare de nivel - nivele logice, timpi de comutație. Verificați că valorile  $V_{oH}$  măsurate sunt apropiate de tensiunile de alimentare. De ce  $V_{oL}$  sunt semnificativ deasupra lui zero? Afectează acest lucru semnificativ funcționarea?

### 3.8 Oscilatorul cu trigger Schmitt

Studiați oscilatorul cu trigger Schmitt observând simultan pe osciloscop intrarea în trigger (conectată la testpoint) și ieșirea (conectată prin comutator la borna 1).

Referință: fișa tehnică a circuitului integrat 74LVC1G14.

# Anexa A Fragment din specificațiile integratului 74HC00

## 74HC00

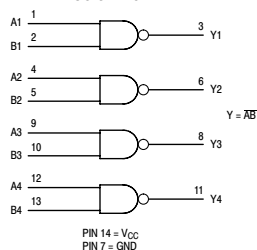
### Quad 2-Input NAND Gate High-Performance Silicon-Gate CMOS

The 74HC00 is identical in pinout to the LS00. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

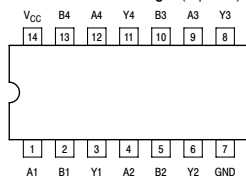
#### Features

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- ESD Performance: HBM > 2000 V; Machine Model > 200 V
- Chip Complexity: 32 FETs or 8 Equivalent Gates
- These are Pb-Free Devices

#### LOGIC DIAGRAM



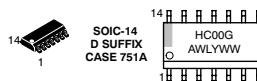
#### Pinout: 14-Lead Packages (Top View)



ON Semiconductor®

<http://onsemi.com>

#### MARKING DIAGRAMS



HC00 = Device Code  
A = Assembly Location  
WL or L = Wafer Lot  
Y = Year  
WW or W = Work Week  
G or \* = Pb-Free Package  
(Note: Microdot may be in either location)

#### FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

#### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 2 of this data sheet.